

JP08139288 A

SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

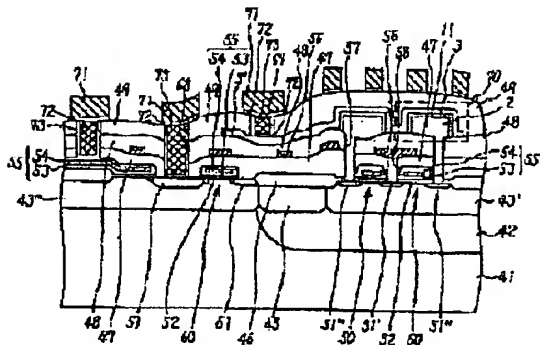
NEC CORP

Inventor(s):SEKINE MAKOTO ;KAMIYAMA SATOSHI

Application No. 06274826 JP06274826 JP, Filed 19941109,A1 Published 19960531

Abstract: **PURPOSE:** To form a capacitance element having excellent leakage current characteristics while maintaining surface area increase by reacting halogen gas of high melting point metal with polysilicon of a lower electrode, substituting it with silicide of high melting point metal, and depositing it.

CONSTITUTION: A natural oxide film on the surface of a polysilicon or amorphous silicon of the lower electrode 2 of a capacity element 70 is removed. The electrode 2 in which the oxide film is removed is reacted with the halogen gas of the high melting point metal to selectively substitute the electrode 2 with the silicide of the metal. The thus substituted part is exposed to silane gas, then again the halogen gas is reduced by silane gas or hydrogen to selectively deposit the rough crystalline grains on the surface of the electrode 2. A capacitor insulating film 11 is formed on the electrode 2. The film 22 is densified, and nitrided. The upper electrode is formed on the film 11. Thus, a capacitance element having excellent leakage current characteristics can be formed.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-139288

(43) 公開日 平成8年(1996)5月31日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/108

21/8242

27/04

7735-4M

H 0 1 L 27/ 10

6 5 1

27/ 04

C

審査請求 有 請求項の数11 O L (全 10 頁) 最終頁に続く

(21) 出願番号

特願平6-274826

(22) 出願日

平成6年(1994)11月9日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 関根 誠

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 神山 聡

東京都港区芝五丁目7番1号 日本電気株式会社内

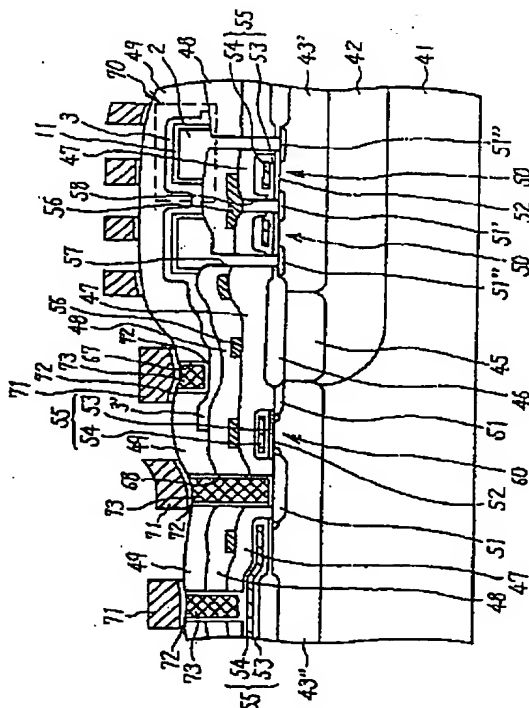
(74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【要約】

【目的】 粗面タングステン膜を形成し、下部電極の表面を増加させると同時に、リーク電流特性の優れた容量素子を形成することのできる半導体装置の製造方法および半導体装置を実現すること。

【構成】 DRAM等の超LSIに用いられる容量素子部の形成工程を、ポリシリコンからなる下部電極表面上へ、薄膜かつ粗面のタングステン膜を化学気相成長法により選択的に形成、容量絶縁膜を形成、容量絶縁膜を形成させる工程、この容量絶縁膜を緻密化処理する工程および金属元素からなる上部電極を形成する工程により行うものである。



【特許請求の範囲】

【請求項 1】 容量素子部を備えた半導体装置の製造方法であって、

容量素子部の下部電極であるポリシリコンあるいはアモルファスシリコン表面の自然酸化膜を除去する第 1 の工程と、

前記第 1 の工程により自然酸化膜が除去された前記下部電極と高融点金属のハロゲンガスを反応させて、下部電極を選択的に高融点金属あるいは高融点金属のシリサイドで置換する第 2 の工程と、

前記第 2 の工程により形成された下部電極の高融点金属あるいは高融点金属のシリサイドに置換された部分をシランガスに暴露した後に、再び高融点金属のハロゲンガスをシランガスあるいは水素で還元することにより粗な結晶粒を下部電極表面に選択的に堆積させることを少なくとも 1 回以上行う第 3 の工程と、

前記下部電極上に容量絶縁膜を形成する第 4 の工程と、前記第 4 の工程にて形成された容量絶縁膜を緻密化し、かつ、窒化する第 5 の工程と、

前記第 5 の工程により緻密化され、窒化された前記容量絶縁膜上に上部電極を形成する第 6 の工程と、を有することを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 記載の半導体装置の製造方法において、容量絶縁膜として、酸化タンタル、酸化チタン、酸化ニオブ、酸化ハフニウム、酸化イットリウムのいずれかからなる高誘電体膜を用いることを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 1 記載の半導体装置の製造方法において、前記容量下部電極であるポリシリコン上の自然酸化膜の除去方法として、無水フッ酸あるいは希釈フッ酸を用いた処理を行うことを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 1 記載の半導体装置の製造方法において、容量絶縁膜として、酸化タンタルからなる高誘電体膜を用いるとともに、前記酸化タンタル膜の形成を、有機系のタンタル原料を用いた化学気相成長により行うことを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 1 記載の半導体装置の製造方法において、容量絶縁膜として、酸化タンタルからなる高誘電体膜を用いるとともに、前記酸化タンタル膜の緻密化処理として、酸素、亜酸化窒素、あるいは水分を含んだ酸素、のいずれかまたはこれら数種類のガス雰囲気中で電気炉やランプ加熱による急速加熱、またはプラズマ処理による緻密化処理を行うことを特徴とする半導体装置および半導体装置の製造方法。

【請求項 6】 請求項 5 記載の半導体装置の製造方法において、

緻密化処理を行う際の温度が 200～600℃であることを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 1 記載の半導体装置の製造方法において、

容量絶縁膜として、酸化タンタルからなる高誘電体膜を用いるとともに、前記酸化タンタル膜の緻密化処理として、水分を含んだ酸素が存在するガス雰囲気中で加熱を行うものであり、前記水分を含んだ酸素の水分添加量が、30～300ppmであることを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 1 記載の半導体装置の製造方法において、

高融点金属がタングステン、モリブデン、タンタル、チタンのいずれかであることを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 1 記載の半導体装置の製造方法において、

前記上部電極材料として、窒化チタン、タングステン、モリブデン、タンタルのいずれかあるいはこれらを組み合わせた構造のものを用いることを特徴とする半導体装置の製造方法。

【請求項 10】 請求項 1 記載の半導体装置の製造方法において、

容量絶縁膜として、酸化タンタルからなる高誘電体膜を用いるとともに、前記酸化タンタル膜の窒化処理として、アンモニア、窒素あるいは亜酸化窒素のいずれかでの雰囲気中でプラズマ処理を行うことを特徴とする半導体装置の製造方法。

【請求項 11】 請求項 1 乃至請求項 10 のいずれかに記載の半導体装置の製造方法を用いた半導体装置であって、

前記容量素子をダイナミック・ランダム・アクセス・メモリの容量セルに用いることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置の製造方法に関し、特にダイナミック・ランダム・アクセス・メモリ（DRAM）等の超 LSI に用いられる容量素子部を形成する半導体装置の製造方法に関する。

【0002】

【従来の技術】256Mbit DRAM 以降の超 LSI メモリデバイスの容量素子部においては、単位面積当たりの容量値を大きくできる高誘電率容量絶縁膜の採用が検討されている。また、この検討されている高誘電率容量絶縁膜の形成方法として、化学気相成長法は、優れたステップカバレッジ特性を有する膜が形成できるため、多くの研究がなされている。

【0003】図 8 は、DRAM セルにおいて、ビット線 856 を含むトランジスタを被覆する層間絶縁膜 848 に設けられたスルーホール 857 を通してトランジスタ

に結合するスタックタイプの容量素子の従来技術による製造方法を工程順に示した断面図である。

【0004】ここで、高誘電率容量絶縁膜として、酸化タンタル (Ta_2O_5) 膜を用いた場合について述べる。

【0005】まず、図 8 (a) に示すように、下部電極ポリシリコンからなる容量下部電極 802 上に、W 膜をスパッタ法などにより形成する。一般的に、W 膜厚は、ウエハ面内に均一性良く形成させるため、100nm 以上の成膜を行なっている。

【0006】次に、図 8 (b) に示すように有機原料であるペンタエトキシタンタル ($\text{Ta}(\text{OC}_2\text{H}_5)_5$) ガスを用いた減圧化学気相成長法により酸化タンタル膜 811 を形成し、この膜のリーク電流特性を改善させるため、酸素雰囲気中での熱処理を行なう。

【0007】続いて、図 8 (c) に示すように、容量上部電極 803 を形成する。上部電極として、一般的に W 膜が用いられている。以上の形成工程により、容量素子部を形成する。

【0008】

【発明が解決しようとする課題】 上述した従来の容量構造体において、以下に述べる問題点がある。

【0009】まず、従来の容量素子のリンドープポリシリコンにおいては、表面がほとんど平坦状態のものが用いられている。近年、このポリシリコン表面を粗面 (HSG) 化し、表面積を 2 倍程度に増加させる技術が開発され、実用化されつつある。

【0010】しかしながら、粗面化したポリシリコン上へ W 膜を、従来技術であるスパッタ法などにより 100nm 以上形成した場合、粗面ポリシリコン表面が平坦化され、表面積増加分が減少してしまうという問題点がある。これは、粗面シリコンのグレインサイズが一般的に 20~200nm で制御されるが、この粗面シリコン上へ形成する W の膜厚が 100nm 以上になると、粗面化されたポリシリコンの間に W が入り込んでしまい、粗面状態が維持されず、面積増大の効果がなくなるためである。

【0011】また、W 膜をスパッタ法で形成した場合、下部電極部の形成において、多数の追加工程が必要となるという問題点がある。

【0012】本発明は上述したような従来の技術が有する問題点に鑑みてなされたものであって、粗面タングステンにより、表面積増加分を維持したまま、リーク電流特性の優れた容量素子を形成することのできる半導体装置の製造方法および半導体装置を実現することを目的とする。

【0013】

【課題を解決するための手段】 本発明の半導体装置の製造方法は、容量素子部を備えた半導体装置の製造方法であって、容量素子部の下部電極であるポリシリコンあるいはアモルファスシリコン表面の自然酸化膜を除去する

第 1 の工程と、第 1 の工程により自然酸化膜が除去された下部電極と高融点金属のハロゲンガスとを反応させて、下部電極を選択的に高融点金属あるいは高融点金属のシリサイドで置換する第 2 の工程と、第 2 の工程により形成された下部電極の高融点金属あるいは高融点金属のシリサイドに置換された部分をシランガスに暴露した後に、再び高融点金属のハロゲンガスをシランガスあるいは水素で還元することにより粗な結晶粒を下部電極表面に選択的に堆積させることを少なくとも 1 回以上行う第 3 の工程と、下部電極上に容量絶縁膜を形成する第 4 の工程と、第 4 の工程にて形成された容量絶縁膜を緻密化し、かつ、窒化する第 5 の工程と、第 5 の工程により緻密化され、窒化された容量絶縁膜上に上部電極を形成する第 6 の工程と、を有することを特徴とする。

【0014】この場合、容量絶縁膜として、酸化タンタル、酸化チタン、酸化ニオブ、酸化ハフニウム、酸化イットリウムのいずれかからなる高誘電体膜を用いてもよい。

【0015】また、容量下部電極であるポリシリコン上の自然酸化膜の除去方法として、無水フッ酸あるいは希釈フッ酸を用いた処理を行ってもよい。

【0016】また、容量絶縁膜として、酸化タンタルからなる高誘電体膜を用いるとともに、酸化タンタル膜の形成を、有機系のタンタル原料を用いた化学気相成長により行ってもよい。

【0017】また、容量絶縁膜として、酸化タンタルからなる高誘電体膜を用いるとともに、酸化タンタル膜の緻密化処理として、酸素、亜酸化窒素、あるいは水分を含んだ酸素、のいずれかまたはこれら数種類のガス雰囲気中で電気炉やランプ加熱による急速加熱、またはプラズマ処理による緻密化処理を行ってもよい。

【0018】また、容量絶縁膜として、酸化タンタルからなる高誘電体膜を用いるとともに、酸化タンタル膜の緻密化処理として、水分を含んだ酸素が存在するガス雰囲気中で加熱を行うものであり、水分を含んだ酸素の水分添加量を、30~300ppm としてもよい。

【0019】この場合、緻密化処理を行う際の温度を 200~600℃ としてもよい。

【0020】また、高融点金属がタングステン、モリブデン、タンタル、チタンのいずれかとしてもよい。

【0021】また、上部電極材料として、窒化チタン、タングステン、モリブデン、タンタルのいずれかあるいはこれらを組み合わせた構造のものを用いてもよい。

【0022】さらに、容量絶縁膜として、酸化タンタルからなる高誘電体膜を用いるとともに、酸化タンタル膜の窒化処理として、アンモニア、窒素あるいは亜酸化窒素のいずれかでの雰囲気中でプラズマ処理を行うこととしてもよい。

【0023】本発明の半導体装置は、上述したような半導体装置の製造方法を用いた半導体装置であって、容量

素子をダイナミック・ランダム・アクセス・メモリの容量セルに用いることを特徴とする。

【0024】

【作用】タングステンをはじめとする高融点金属のハロゲンガスはシランなどの還元種と反応することにより、導電物質上に選択的に金属膜を堆積させることが可能であることが従来より知られている。さらに、これらのハロゲンガスはシリコンと置換反応により金属膜を堆積することが知られている。

【0025】本発明では、まず、高融点金属のハロゲンガスと下部電極を構成している多結晶シリコンあるいはアモルファスシリコンとの反応により高融点金属あるいは高融点金属のシリサイドをシリコン原子と置換する形で堆積させる。

【0026】この時、堆積する膜とシリコンとの密度差により、下部電極は結果的に浸食される形で金属膜が堆積されるために、下部電極の間隔は、はじめに電極を形成した時に比べて広がることになる。この浸食の度合いは下部電極を構成している多結晶あるいはアモルファスシリコン中の不純物種、あるいは不純物濃度と反応させる高融点金属のハロゲンガスの分圧、さらには反応温度により制御が可能となる。

【0027】さらに、浸食の量は堆積する膜の核生成密度に依存している結果、核生成する高融点金属あるいは高融点金属のシリサイドの結晶粒の大きさと結晶粒の密度は反応条件と下部電極を構成している多結晶シリコンあるいはアモルファスシリコンの形成条件に強く依存している。これはこのような置換反応が基板からのシリコン原子の拡散に律速されていることによるものである。

【0028】上記のようなタングステン膜に SiH_4 ガスを曝すと、 SiH_4 ガスがタングステン表面で解離吸着する。この状態で WF_6 を導入すると、解離吸着している SiH_4 ガスの吸着サイトの密度により、 SiH_4 との反応により核生成するタングステンの密度が決定される。これにより、ポリシリコン上に形成されるタングステンの核生成密度を容易に制御することが可能となり、タングステン膜の粗面化が可能となる。

【0029】また、本発明においては、緻密化処理を行っている。上記のように薄いタングステン膜では、リーク電流が問題となる場合があるが、本発明ではこの緻密化処理が施されているため、特に問題とはならない。

【0030】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【0031】図1は本発明により形成される半導体装置(DRAM)の部分的な構成を示す断面図である。

【0032】P型シリコン基板41にNウェル42が形成され、そこに第1のPウェル43'が形成され、また、第1のPウェル43'とN⁺分離領域45を介したPシリコン基板41の部分に第2のPウェル43''が形

成されてシリコン基板を構成している。このシリコン基板の主面のフィールド酸化膜46で絶縁分離された活性化領域に各素子が形成されている。

【0033】第1のPウェル43'には多数のメモリセルのそれぞれのトランジスタが構成されているが、図1では一対のメモリセルのみ図示している。すなわち一対のメモリセルを構成するそれぞれのトランジスタ50のソース、ドレインとなるN型領域51'、51''が形成され、ゲート絶縁膜52を介してポリシリコン53およびシリサイド54からなるゲート電極55が形成され、全体が第1の層間絶縁膜47で被覆されている。

【0034】上記の第1の層間絶縁膜47に設けられたコンタクト孔58を通してビット線56が一対のメモリセルのそれぞれのトランジスタに共通なソース、ドレインの一方となるN型領域51'に接続されている。このビット線56を被覆して第2の層間絶縁膜48が形成され、その上に点線70で囲んだ本発明の一対の容量素子が構成されている。すなわち、このスタック型の容量素子は、容量下部電極2、容量誘電体膜としての酸化 tantalum 膜11および容量上部電極3から構成され、一対の容量下部電極2は第1および第2の層間絶縁膜47、48に設けられたコンタクト孔57を通してそれぞれのトランジスタのソース、ドレインの他方となるN型領域51''に接続されている。また、容量上部電極3は一対のメモリセルのそれぞれの容量素子に共通に連続的に形成され第2の層間絶縁膜48上を延び延びられて、その取り出し部3'において第3の層間絶縁膜49に設けられたスルーホール67を通して接地電位等の固定電位となっているアルミ電極71と電気的に接続されている。なお、このアルミ電極71の下部およびスルーホール67の内壁および容量上部電極3の取り出し部3'に接する底面には窒化チタン膜72が形成され、スルーホール67はタングステン73により充填されている。

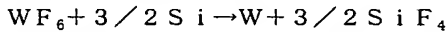
【0035】一方、記憶装置の周辺回路を構成する。トランジスタ60のソース、ドレインとなるN型領域51が第2のPウェル43''に形成され、そのゲート絶縁膜52上にポリシリコン53、シリサイド54、ゲート電極55が形成されている。そして、ソース、ドレイン51の一方に、第1、第2、第3の層間絶縁膜47、48、49を通して設けられたコンタクト孔68を通してアルミ配線71が窒化チタン膜72、タングステン73を介して接続されている。同様に、周辺回路の他のトランジスタのゲート電極構造がアルミ配線71と接続している。

【0036】図2は、図1に示したDRAMの製造方法を示す断面図であり、図1の点線70で囲まれた容量素子部の片側の容量素子部を例示している。

【0037】まず、図2(a)に示すように、容量下部電極2であるリンドープアモルファスシリコンを化学気相成長法により堆積させ、通常のリソグラフィ/エッチ

ング技術によりパターニングする。

【0038】次いで、この基板を真空排気可能な気相化学成長装置内に導入し、350℃に加熱しながら、まずWF₆を100 sccm、Arを500 sccm流し、10mTorrの圧力でリンドープアモルファスシリコンとWF₆を反応させて、



なる反応により、リンドープアモルファスシリコンの表面をタングステン73aで置換する。この時、WF₆分圧とリンドープアモルファスシリコン中の不純物濃度により、タングステンの核発生密度が変化する。特に、多結晶シリコン中の不純物濃度が低く、かつ、上記の式で定義されるWF₆の分圧が低いほど、核発生密度が減少するために、タングステンの結晶粒は微細で粗に分布した状態で形成される。

【0039】次いで、いったんWF₆とArガスを排気した後、今度は同一の温度で、SiH₄を10 sccm、Arを200 sccmを混合したガスに曝す。通常、SiH₄はこのような低温では容易には分解しないが、既に形成されているタングステンの表面ではタングステンの持つ低い仕事関数のために、SiH₄が解離しやすくなる。ついで再びこの装置を真空排気してから、WF₆を10 sccm、SiH₄を6 sccm、Arを10 sccm流し、WF₆をSiH₄で還元することにより、図2(b)に示すように、タングステン73bをタングステン73a上に堆積させる。この時、タングステンの表面に吸着しているSiH₄がタングステンの核発生密度を支配する結果、タングステンの個々の結晶粒の表面に選択的にタングステンの結晶粒よりも小さい結晶粒でタングステンが核生成をはじめる。これによりタングステン73aおよびタングステン73bで囲まれたリンドープアモルファスシリコンで構成される容量下部電極2の表面積は、タングステンおよびタングステンで覆われることにより著しく増加する。

【0040】本実施例では複数回以上の成長について述べたが、特に、下部電極の表面積を増加させる必要がなければリンドープアモルファスシリコンとWF₆との反応でタングステンが成長した段階で成長を止めても、電極として用いることが可能である。また本実施例ではリンドープアモルファスシリコンを用いているが、多結晶シリコンでも同様の効果を得ることが可能である。

【0041】次に、図2(c)に示すように、容量下部電極2上へ酸化タンタル膜11を化学気相成長法により堆積する。

【0042】酸化タンタル膜11の形成には、図3に示すような装置を用いる。原料ガスとして有機系のペンタエトキシタンタルを用いる。この原料は、ヒータ14により気化室15で気化され、導入室23によりバルブ22dを通して送られてきたキャリアガスであるアルゴンガスによりバルブ22dを通して、半導体ウエハ18を

搭載した基板ホルダ17を載置した反応炉19へ導入される。同時に、導入管12により酸化ガスがバルブ22dを通して反応炉19へ導入される。ヒータ16により反応炉19内は熱せられており、導入された有機タンタルガスおよび酸化ガスが化学気相反応を起こし、半導体ウエハ18上で酸化タンタル膜が形成される。成長条件として、有機タンタル原料の気化室15の加熱温度は30～200℃、ヒータ16による反応炉19内の成長温度は300～600℃、キャリアガスであるアルゴンガスの流量は10～1000 sccm、酸素ガスの流量は0.1～20 slm、圧力は0.1～10 Torrで行うのが適している。反応炉19には他の導入管13によりアルゴンガスがバルブ22aを介して接続され、また、排気口21を有する真空ポンプ20が接続されている。

【0043】本実施例においては、容量絶縁膜として酸化タンタル膜を例にしたが、酸化チタン膜、酸化ニオブ膜、酸化ハフニウム膜、酸化イットリウム膜あるいはこれら数種類の容量絶縁膜からなる高誘電体膜を用いた場合でも本発明の効果はある。

【0044】続いて、この酸化タンタル膜の緻密化処理として、酸化ガスを用いたプラズマ処理を行う。酸化プラズマ処理条件として、温度は200～600℃、雰囲気ガスとして、酸素(O₂)、亜酸化窒素(N₂O)あるいは水分(H₂O)を含んだ酸素、または、これら数種類のガス雰囲気中で、さらには、水分を含んだ酸素の水分添加量として、1～1000 ppmで行うのが適している。

【0045】続いて、図2(d)に示すように、容量上部電極3として、窒化チタンを形成する。本実施例においては、上部電極として、窒化チタン単層を用いたが、タングステン、モリブデン、チタンなどの高融点金属、あるいはこれら高融点金属の窒化膜、あるいはこれら高融点金属のシリサイド膜、あるいはこれら高融点金属の多層膜を用いた場合でも本発明の効果はある。

【0046】図4は上記のようにして形成された容量素子部の容量値とタングステンの核成長の繰り替え指数との関係を示す図である。図4から、W膜厚が増加するに伴って容量値が増加し、4回以上の核成長で再び減少し、これ以上では粗面化した面積増加分の効果が得られないことがわかった。

【0047】図5は上記の実施例により形成された容量素子部の酸素プラズマアニール温度に対する10⁻⁸A/cm₂のリーク電流密度における電圧値をプロットした結果を示す図である。図5に示すように、電圧値は酸化プラズマ処理温度の増加により、正および負とも増加している。これは、酸化タンタル膜中に含まれる水分やカーボンが、処理温度の増加に伴って外方拡散し、さらに酸化タンタル膜中の酸素空孔が酸素プラズマ処理によるイオンボンバードにより埋められ、膜が緻密化されるた

めと考えられる。

【0048】図6は、上記のリンドーパモルファスシリコン上へ粗面金属下部電極を形成する技術を1GビットDRAM（セルサイズ $0.24\mu\text{m}^2$ ）の容量素子部へ適用した結果を示す図である。ここでは、粗面W膜は2回の繰り返し形成で、 50nm 形成した場合を用いた。この結果において、横軸は容量素子部のスタック高さ、縦軸は容量値を示しており、また、 SiO_2 膜換算膜厚 1.6nm の容量絶縁膜を適用した場合を示している。

【0049】図6から、粗面W表面を用いた場合、粗面表面でない（ no-HSG ）場合と比較して約1.4倍の面積増加が得られ、粗面表面を用いることにより、スタック高さ $0.6\mu\text{m}$ 程度で 30fF の容量値が得られている。

【0050】図7は、本実施例により形成した容量素子部のリーク電流を示す図である。ここで、実線は粗面表面でない（ no-HSG ）場合の特性、一点鎖線は粗面W表面を用いた場合の特性である。図7からリーク電流特性は粗面表面の利用の有無にかかわらず、ほとんど一致した結果が得られ、 $10^{-8}\text{A}/\text{cm}^2$ のリーク電流密度における電圧値は正（+）で約 0.8V および負

（-）で約 1.7V であった。この特性は、1GビットDRAMの内部電源電圧（ $V_{cc}/2=0.75\text{V}$ ）へ十分適用可能な結果であると考えられる。

【0051】

【発明の効果】以上説明したように、本発明は、DRAM等の超LSIに用いられる容量素子部の形成工程を、ポリシリコンからなる下部電極表面上へ、薄膜かつ粗面のタングステン膜を化学気相成長法により選択的に形成、容量絶縁膜を形成、容量絶縁膜を形成させる工程、この容量絶縁膜を緻密化処理する工程および金属元素からなる上部電極を形成する工程により行うものである。

【0052】本発明を用いることにより、従来技術と比較して、粗面ポリシリコンによる表面積増加分を維持したまま、リーク電流特性の優れた容量素子を作製することができる効果がある。

【図面の簡単な説明】

【図1】本発明の実施例を適用するDRAM素子構造を示した断面図である。

【図2】本発明の実施例を製造工程手順に示した断面図である。

【図3】本発明の実施例において、酸化タンタル膜の形成に用いた装置を模式的に示した構造図である。

【図4】本発明に基づき形成した容量素子部のW成膜回数に対する単位面積当たり（ 0.1mm^2 ）の容量値を示した図である。

【図5】本発明の実施例に基づき形成した容量素子の酸

素プラズマアニール温度に対する $10^{-8}\text{A}/\text{cm}^2$ のリーク電流密度における電圧値をプロットした結果を示す図である

【図6】本発明に基づき形成した1GビットDRAM容量素子の容量値（セル面積 $0.24\mu\text{m}^2$ ）を示した図である。

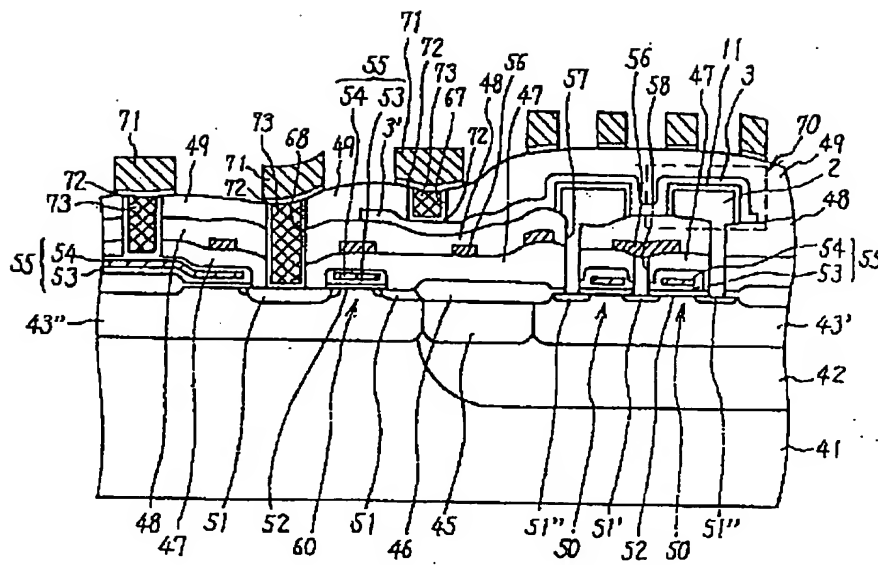
【図7】本発明に基づき形成した容量素子のリーク電流特性を示した図である。

【図8】従来技術の製造方法を工程順に示した断面図である。

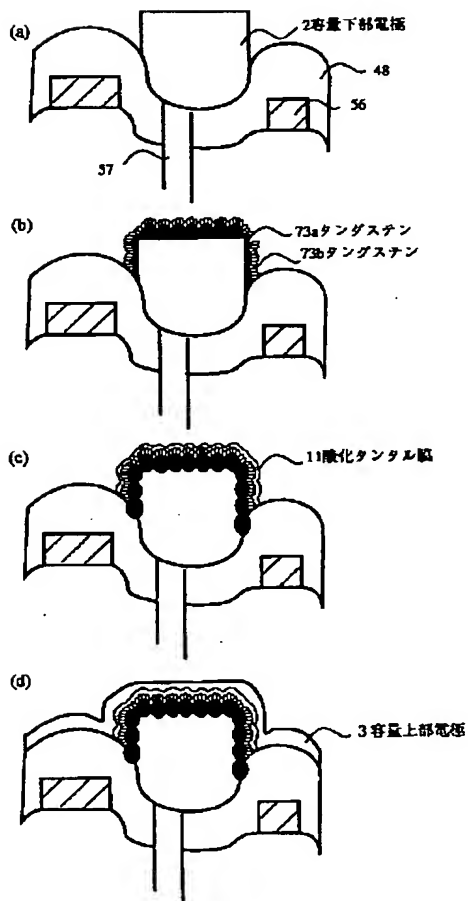
【符号の説明】

- 2 容量下部電極
- 3 容量上部電極
- 3' 容量上部電極の取り出し部
- 11 酸化タンタル膜
- 12 酸素ガスの導入管
- 13 アルゴンガスの導入管
- 14 ヒータ
- 15 気化室
- 16 ヒータ
- 17 基板ホルダ
- 18 半導体ウエハ
- 19 反応炉
- 20 真空ポンプ
- 21 排気口
- 22a, 22b, 22c, 22d バルブ
- 23 キャリアガスアルゴンの導入管
- 41 P型シリコン基板
- 42 Nウエル
- 43', 43" Pウエル
- 45 N+型分離領域
- 46 フィールド酸化膜
- 47, 48, 49 層間絶縁膜
- 50 メモリセルのトランジスタ
- 51 ソース、ドレインとするN型領域
- 52 ゲート絶縁膜
- 53 ポリシリコン
- 54 シリサイド
- 55 ゲート電極
- 56 ビット線
- 57, 58 コンタクト孔
- 60 周辺回路を構成するトランジスタ
- 67 スルーホール
- 70 容量素子部
- 71 アルミ電極
- 72 窒化チタン
- 73, 73a タングステン

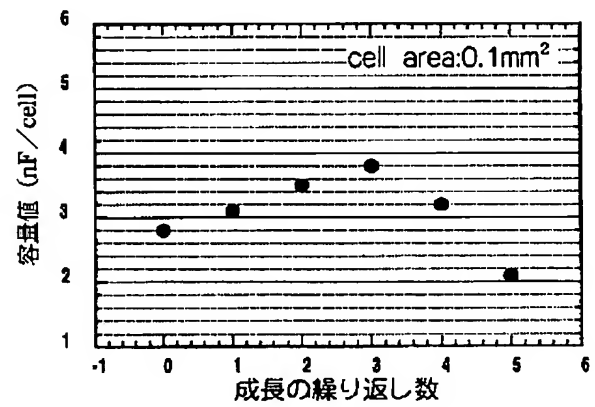
【図1】



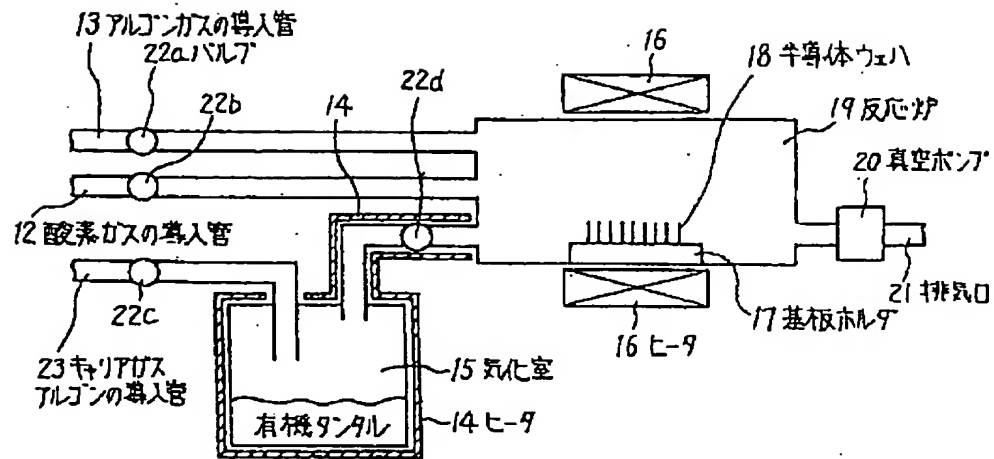
【図2】



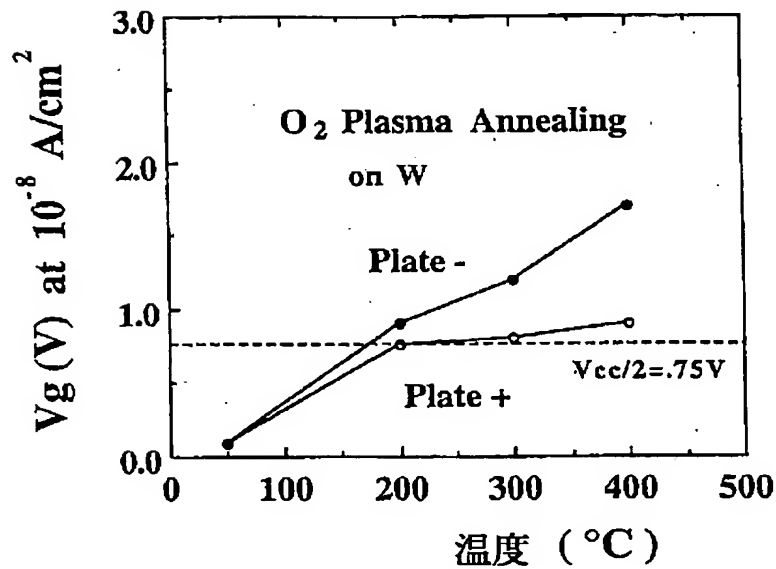
【図4】



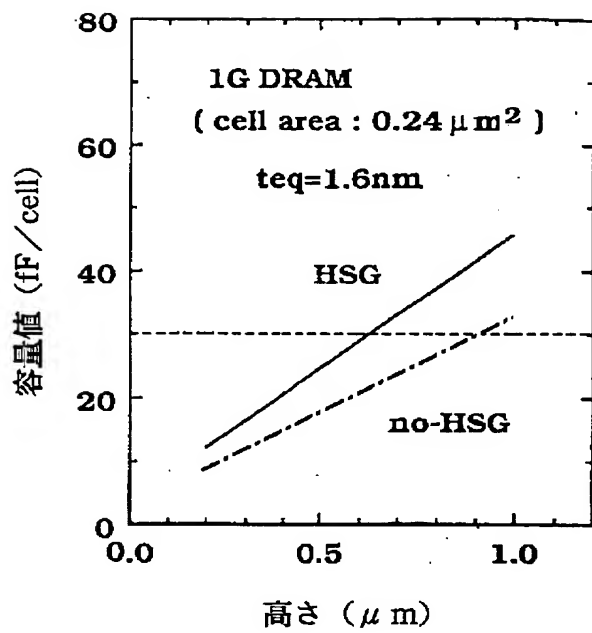
【図3】



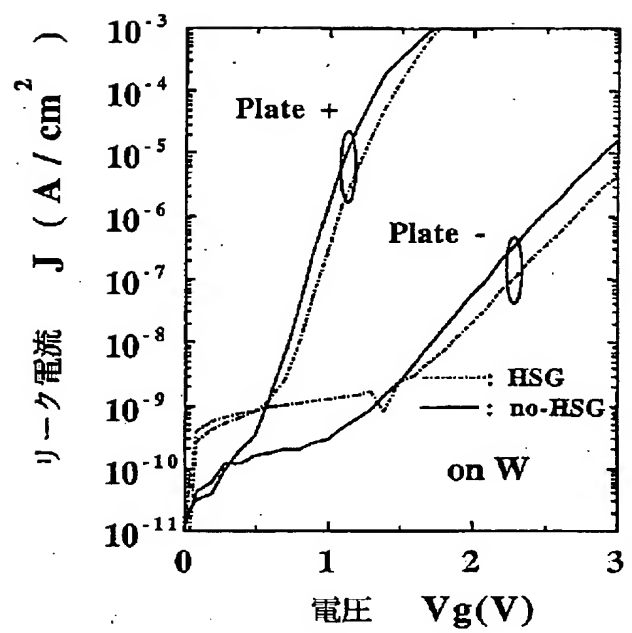
【図5】



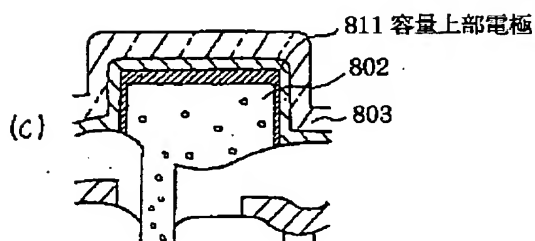
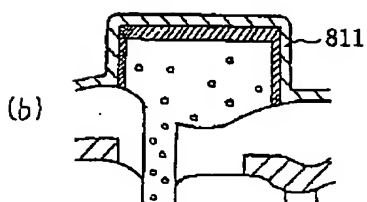
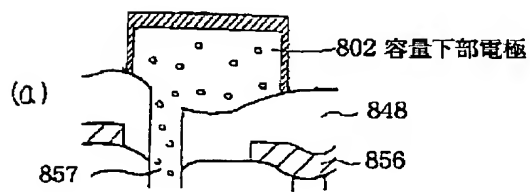
【図6】



【図7】



【図8】



フロントページの続き

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H O 1 L 21/822		7735-4M	H O 1 L 27/10	6 2 1 B